

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-6856

(P2004-6856A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl. ⁷	F 1		テーマコード (参考)
H 01 L 21/3205	H 01 L 21/88	M	5 F 0 3 3
H 01 L 21/768	H 01 L 21/90	A	

審査請求 未請求 請求項の数 21 O L (全 9 頁)

(21) 出願番号	特願2003-126073 (P2003-126073)	(71) 出願人	000005049
(22) 出願日	平成15年4月30日(2003.4.30)		シャープ株式会社
(31) 優先権主張番号	10/140,460		大阪府大阪市阿倍野区長池町2番22号
(32) 優先日	平成14年5月6日(2002.5.6)	(74) 代理人	100078282
(33) 優先権主張国	米国 (US)		弁理士 山本 秀策
		(74) 代理人	100062409
			弁理士 安村 高明
		(74) 代理人	100107489
			弁理士 大塩 竹志
		(72) 発明者	ウェイ パン
			アメリカ合衆国 ワシントン 98683
			, パンクーバー, エスイー 23アー
			ルディー ウェイ 17311

最終頁に続く

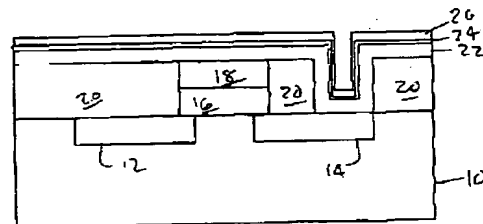
(54) 【発明の名称】 金属バリア層と銅との間の密着促進剤として用いられる超薄膜タングステン金属膜および超薄膜タングステン金属膜を用いた基板に銅薄膜を密着させる方法

(57) 【要約】 (修正有)

【課題】 CVD銅の密着性を向上させる。

【解決手段】 集積回路構造内の基板に銅薄膜を密着させる方法は、活性領域ならびに相互接続線構造用のビアホールおよび溝の形成を含む基板を調製する工程と、基板上に金属バリア層22を堆積する工程と、金属バリア層上にタングステン超薄膜層24を堆積する工程と、タングステン超薄膜層上に銅薄膜26を堆積する工程と、過剰な銅およびタングステン超薄膜層を金属バリア層のレベルまで除去する工程と、集積回路構造を完成させる工程とを含む。

【選択図】 図4



【特許請求の範囲】

【請求項1】

集積回路構造内の基板に銅薄膜を密着させる方法であって、
活性領域ならびに相互接続線構造用のビアホールおよび溝の形成を含む基板を調製する工程と、

該基板上に金属バリア層を堆積する工程と、

該金属バリア層上にタングステン超薄膜層を堆積する工程と、

該タングステン超薄膜層上に銅薄膜を堆積する工程と、

過剰な銅およびタングステンを該金属バリア層のレベルまで除去する工程と、

該集積回路構造を完成させる工程と、

を包含する方法。

10

【請求項2】

前記タングステン超薄膜層を堆積する工程が、約1nm～約5nmの厚みを有するタングステン層を堆積する工程を包含する、請求項1に記載の方法。

【請求項3】

前記タングステン超薄膜層を堆積する工程が、MOCVDおよびALDからなる群より選択された堆積方法によってタングステンを堆積する工程を包含する、請求項1に記載の方法。

【請求項4】

前記タングステン超薄膜層を堆積する工程が、WF₆およびW(CO)₆からなる群より選択された前駆体からタングステンを堆積する工程を包含する、請求項1に記載の方法。

20

【請求項5】

前記金属バリア層を堆積する工程が、Ta、TiN、Ta₂NおよびTiSiNからなる群より選択された材料の層を堆積する工程を包含する、請求項1に記載の方法。

【請求項6】

前記金属バリア層を堆積する工程が、約5nm～約10nmの厚みを有する材料の層を堆積する工程を包含する、請求項1に記載の方法。

【請求項7】

前記金属バリア層を堆積する工程が、PVD、ALDおよびMOCVDからなる群より選択された方法により材料の層を堆積する工程を包含する、請求項1に記載の方法。

30

【請求項8】

前記銅薄膜を堆積する工程が、前記構造体中のビアホールおよび前記溝を充填するために十分な厚みまで銅の層を堆積する工程を包含する、請求項1に記載の方法。

【請求項9】

前記構造体中のビアホールおよび前記溝を充填するために十分な厚みまで銅の層を堆積する工程が、約10nm～約20nmの厚みを有する銅の層を堆積する工程を包含する、請求項8に記載の方法。

【請求項10】

前記銅薄膜を堆積する工程が、PVD、ALDおよびMOCVDからなる群より選択された方法により銅の層を堆積する工程を包含する、請求項1に記載の方法。

40

【請求項11】

集積回路構造内の基板に銅薄膜を密着させる方法であって、

活性領域ならびに相互接続線構造用のビアホールおよび溝の形成を含む基板を調製する工程と、

該基板上に金属バリア層を堆積する工程と、

該金属バリア層上に、WF₆およびW(CO)₆からなる群より選択された前駆体から、

約1nm～約5nmの厚みまでタングステン超薄膜層を堆積する工程と、

該タングステン超薄膜層上に銅薄膜を堆積する工程と、

過剰な銅およびタングステンを該金属バリア層のレベルまで除去する工程と、

該集積回路構造を完成させる工程と、

50

を包含する方法。

【請求項 12】

前記タンゲステン超薄膜層を堆積する工程が、MOCVDおよびALDからなる群より選択された堆積方法によってタンゲステンを堆積する工程を包含する、請求項 11 に記載の方法。

【請求項 13】

前記金属バリア層を堆積する工程が、Ta、TiN、Ta₂N、TaSiNおよびTiSiNからなる群より選択された材料の層を堆積する工程を包含する、請求項 11 に記載の方法。

【請求項 14】

前記金属バリア層を堆積する工程が、約 5 nm～約 10 nm の厚みを有する材料の層を堆積する工程を包含する、請求項 11 に記載の方法。

【請求項 15】

前記金属バリア層を堆積する工程が、PVD、ALDおよびMOCVDからなる群より選択された方法により材料の層を堆積する工程を包含する、請求項 11 に記載の方法。

【請求項 16】

前記銅薄膜を堆積する工程が、前記構造体中のビアホールおよび前記溝を充填するために十分な厚みまで銅の層を堆積する工程を包含する、請求項 11 に記載の方法。

【請求項 17】

前記構造体中のビアホールおよび前記溝を充填するために十分な厚みまで銅の層を堆積する工程が、約 10 nm～約 20 nm の厚みを有する銅の層を堆積する工程を包含する、請求項 16 に記載の方法。

【請求項 18】

前記銅薄膜を堆積する工程が、PVD、ALDおよびMOCVDからなる群より選択された方法により銅の層を堆積する工程を包含する、請求項 11 に記載の方法。

【請求項 19】

金属バリア層上に形成された銅の相互接続線を有する集積回路であって、
活性領域と、相互接続線構造用のビアホールおよび溝とを含む基板と、
該基板上に形成された金属バリア層であって、Ta、TiN、Ta₂N、TaSiNおよびTiSiNからなる群より選択された材料により、約 5 nm～約 10 nm の厚みまで形成された金属バリア層と、
該金属バリア層上に形成されたタンゲステン超薄膜層であって、約 1 nm～約 5 nm の厚みを有するタンゲステン超薄膜層と、
該タンゲステン超薄膜層上に形成された銅薄膜であって、該集積回路内の該ビアホールおよび該溝を充填するために十分な厚みを有する銅薄膜と、
を備えた集積回路。

【請求項 20】

前記タンゲステン超薄膜層が、WF₆およびW(CO)₆からなる群より選択された前駆体から形成される、請求項 19 に記載の集積回路。

【請求項 21】

前記ビアホールおよび前記溝を充填するために十分な厚みを有する銅薄膜が、約 10 nm～約 20 nm の厚みを有する、請求項 19 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体 IC 高速デバイス内の相互接続線用のバリアおよび銅薄膜のMOCVDに関し、CVD銅の密着性を向上させる方法に関する。

【0002】

本出願は、米国特許出願シリアル番号第 09/940,739 号 (2001 年 8 月 27 日出願) (発明の名称: Thermal densification in the ea

10

20

30

40

50

riyastage of Copper MOCVD for depositing high quality Cu films with good adhesion and trench filling characteristics) に関連する。

【0003】

【従来の技術】

有機金属化学気相成長法(MOCVD)によって形成された、例えばTiNまたはTa₂Nなどの窒化金属バリア層上に、これもまたMOCVDによって形成された銅膜は、特に銅層が窒化物層または窒化物構造上にインサイチュで成長された場合には、優れた密着完全性を呈さない。得られる密着性は、IC製造時に銅CVD技術を適用することを妨げるようなものである。

10

【0004】

下層であるバリア層に対する銅の密着性を向上させるために、多くの研究がこの分野で行われてきた。関連出願および従来技術は、この分野でなされてきたいくつかの改良を示している。これらの改良は、ウォータペーパーインジェクション、バリア表面酸化、バリア表面フリトリートメント、および熱処理による密化を含む。これらの改良のうち、熱処理による密化のみが、銅が狭い溝またはビアホールに堆積される場合の適切なスルーファットを提供するという点で実用的であることが判明している。しかし、熱処理による密化は追加の工程を必要とするため、銅CVDにおける熱処理による密化は比較的複雑であり、従来のCVDに比べてスルーファットが低い。

20

【0005】

原子層CVD(ALD)は、半導体研究において採用されてきた比較的新しい技術であり、商業的IC製造に採用されている。ALDは迅速に動作するバルブを用いて、堆積チャンバに個々の反応物を送り込む。各反応物は、化学的吸収を介してIC表面上に材料の単層を堆積し、既に堆積されている単層種と反応することにより、所望の化合物を形成する。このように形成された化合物は従来のCVDにより達成されたものよりもはるかに高い密度を有する。ALDプロセスはさらに、優れたステップカバレッジを提供する。前駆体を選択することにより、多層の、または異なる層を交互に堆積したバリア金属膜が形成される。例えば、交互に堆積されたTa₂N/Si₃N₄薄膜、Ta₂N/TiN薄膜、およびTiN/Si₃N₄薄膜、または他の組み合わせで交互に堆積された薄膜が容易に形成され得る。ALDによって形成された積層体全体の厚みは僅か50オングストロームであり、優れたバリア特性を呈する。

30

【0006】

このような技術に関してNguyenらは、銅薄膜の密着性を向上させるために水蒸気を用いることを提案している(1998年4月28日に許可されたNguyenらの特許文献1参照)。

【0007】

また、Nuescaらは銅薄膜の密着性を向上させるために水素を用いることを提案している(Nuescaらの非特許文献1参照)。

【0008】

【特許文献1】

米国特許第5,744,192号(発明の名称:Method of using water vapor to increase the conductivity of copper deposited with Cu(Hfac)TMVS)

【非特許文献1】

surface effects in the MOCVD of copper, Mat. Res. Soc. Symp. Proc. Vol. 337, 1994, 177~188 頁

【0009】

40

50

【発明が解決しようとする課題】

A L Dの適用は、バリア層、例えば多層T a N / T i N薄膜積層体などの製造に特に有用である。T a N薄膜は、T i Nの積層体よりも優れたバリア特性を呈するが、後に堆積される層、特に銅薄膜層に対して適切な密着性を提供しない。単一の薄膜層はさらに、粒界に沿ったある程度の拡散を可能にする粒構造を有する。このように、T a N / T i N多層薄膜積層体は、銅がこの薄膜積層体に密着されることができれば、望ましい。

【0010】

【課題を解決するための手段】

本発明の目的は、金属および窒化金属基板上の銅薄膜の密着性を向上させることである。

【0011】

本発明の別の目的は、基板に対する銅薄膜の密着を向上させるために、金属または窒化金属基板上にタングステンを堆積する方法を提供することである。

【0012】

本発明の集積回路構造内の基板に銅薄膜を密着させる方法は、活性領域ならびに相互接続線構造用のビアホールおよび溝の形成を含む基板を調製する工程と、上記基板上に金属バリア層を堆積する工程と、上記金属バリア層上にタングステン超薄膜層を堆積する工程と、上記タングステン超薄膜層上に銅薄膜を堆積する工程と、過剰な銅およびタングステンを上記金属バリア層のレベルまで除去する工程と、上記集積回路構造を完成させる工程と、を包含し、そのことにより上記目的が達成される。

【0013】

上記タングステン超薄膜層を堆積する工程が、約1 nm～約5 nmの厚みを有するタングステン層を堆積する工程を包含してもよい。

【0014】

上記タングステン超薄膜層を堆積する工程が、M O C V DおよびA L Dからなる群より選択された堆積方法によってタングステンを堆積する工程を包含してもよい。

【0015】

上記タングステン超薄膜層を堆積する工程が、W F₆およびW (C O)₆からなる群より選択された前駆体からタングステンを堆積する工程を包含してもよい。

【0016】

上記金属バリア層を堆積する工程が、T a、T i N、T a NおよびT i S i Nからなる群より選択された材料の層を堆積する工程を包含してもよい。

【0017】

上記金属バリア層を堆積する工程が、約5 nm～約10 nmの厚みを有する材料の層を堆積する工程を包含してもよい。

【0018】

上記金属バリア層を堆積する工程が、P V D、A L DおよびM O C V Dからなる群より選択された方法により材料の層を堆積する工程を包含してもよい。

【0019】

上記銅薄膜を堆積する工程が、上記構造体中のビアホールおよび上記溝を充填するために十分な厚みまで銅の層を堆積する工程を包含してもよい。

【0020】

上記構造体中のビアホールおよび上記溝を充填するために十分な厚みまで銅の層を堆積する工程が、約10 nm～約20 nmの厚みを有する銅の層を堆積する工程を包含してもよい。

【0021】

上記銅薄膜を堆積する工程が、P V D、A L DおよびM O C V Dからなる群より選択された方法により銅の層を堆積する工程を包含してもよい。

【0022】

本発明の集積回路構造内の基板に銅薄膜を密着させる方法は、活性領域ならびに相互接続線構造用のビアホールおよび溝の形成を含む基板を調製する工程と、上記基板上に金属バ

10

20

30

40

50

リア層を堆積する工程と、上記金属バリア層上に、WF₆およびW(CO)₆からなる群より選択された前駆体から、約1nm～約5nmの厚みまでタンゲステン超薄膜層を堆積する工程と、上記タンゲステン超薄膜層上に銅薄膜を堆積する工程と、過剰な銅およびタンゲステンを上記金属バリア層のレベルまで除去する工程と、上記集積回路構造を完成させる工程とを包含し、そのことにより上記目的が達成される。

【0023】

上記タンゲステン超薄膜層を堆積する工程が、MOCVDおよびALDからなる群より選択された堆積方法によってタンゲステンを堆積する工程を包含してもよい。

【0024】

上記金属バリア層を堆積する工程が、Ta、TiN、Ta₂N、TaSiNおよびTiSiNからなる群より選択された材料の層を堆積する工程を包含してもよい。

【0025】

上記金属バリア層を堆積する工程が、約5nm～約10nmの厚みを有する材料の層を堆積する工程を包含してもよい。

【0026】

上記金属バリア層を堆積する工程が、PVD、ALDおよびMOCVDからなる群より選択された方法により材料の層を堆積する工程を包含してもよい。

【0027】

上記銅薄膜を堆積する工程が、上記構造体中のビアホールおよび上記溝を充填するために十分な厚みまで銅の層を堆積する工程を包含してもよい。

【0028】

上記構造体中のビアホールおよび上記溝を充填するために十分な厚みまで銅の層を堆積する工程が、約10nm～約20nmの厚みを有する銅の層を堆積する工程を包含してもよい。

【0029】

上記銅薄膜を堆積する工程が、PVD、ALDおよびMOCVDからなる群より選択された方法により銅の層を堆積する工程を包含してもよい。

【0030】

本発明の金属バリア層上に形成された銅の相互接続線を有する集積回路は、活性領域と相互接続線構造用のビアホールおよび溝とを含む基板と、上記基板上に形成された金属バリア層であって、Ta、TiN、Ta₂N、TaSiNおよびTiSiNからなる群より選択された材料により、約5nm～約10nmの厚みまで形成された金属バリア層と、上記金属バリア層上に形成されたタンゲステン超薄膜層であって、約1nm～約5nmの厚みを有するタンゲステン超薄膜層と、上記タンゲステン超薄膜層上に形成された銅薄膜であって、上記集積回路内の上記ビアホールおよび上記溝を充填するために十分な厚みを有する銅薄膜とを備え、そのことにより上記目的が達成される。

【0031】

上記タンゲステン超薄膜層が、WF₆およびW(CO)₆からなる群より選択された前駆体から形成されてもよい。

【0032】

上記ビアホールおよび上記溝を充填するために十分な厚みを有する銅薄膜が、約10nm～約20nmの厚みを有してもよい。

【0033】

タンゲステン超薄膜は通常、約10nm～約20nmの厚みを有する。

【0034】

以上、本発明の特徴の簡潔な理解のために、本発明の要約および目的を述べた。本発明のより詳細な理解は、以下の好適な実施形態の記載を添付の図面を参照して読むことにより得られる。

【0035】

【発明の実施の形態】

10

20

30

40

50

本実施形態では、任意の従来のバリア層上に、約1nm～約5nmの厚みを有する超薄膜タングステン層を形成する。その後、銅をCVDによって堆積する。堆積されたタングステンと銅との間の密着性は優れていることが判明している。このように、バリア層、タングステン薄膜、および銅膜は、優れた密着完全性を提供するスムーズな合理的CVDプロセスで堆積され、さらなる工程を必要としないため、製造プロセスが簡素化される。

【0086】

タングステン超薄膜は、有機金属化学気相成長法(MOCVD)または原子層堆積(ALD)により堆積され得、銅薄膜と金属バリア層との間の密着促進剤として作用する。本発明の方法は、他の密着を向上させる方法に比べて、単純、容易、そして簡単に、高速ICデバイス内で銅の相互接続線を製造し、下層のIC構造に対して適切な密着性を有する銅で、ビアホールおよび溝を適切に充填することを可能にする。

10

【0087】

本発明の方法の実施は、図1に示す基板(概して参照符号10で示す)の調製から始まる。基板10は、内部にソース12、ドレイン14、ゲート16などの活性領域を形成することにより調製される。基板10はゲート積層体18を含み得る。基板10およびその上の構造体は酸化層20で覆われ、基板10および構造体がパターニングされ、溝21などの相互接続線用溝がその中に形成される。パターニングおよび溝の形成は当業者に公知の任意の方法で行われ得る。

【0088】

その後図2に示すように、基板10上に金属層または窒化金属バリア膜22が堆積され、次いでパターニングされ溝構造が形成される。一例として、バリア金属膜は、Ta、TiN、Ta₂N、TiSiNからなる群より選択され得、物理蒸着法(PVD)またはMOCVDにより約5nm～約10nmの厚みまで堆積され得るがこれらに限定されない。

20

【0089】

図3に示すように、実際、超薄膜であるタングステン薄膜24がインサイチュまたはエクサイチュでMOCVDによりバリア金属膜上に堆積される。この堆積は、前駆体としてWF₆またはW(CO)₆を用いて、約1nm～約5nmの厚みまで行われる。前駆体は、気体WF₆またはW(CO)₆などの固体物質である。前駆体は、キャリアガスによって供給または搬送されてCVDチャンバに入れられる。CVDチャンバの温度は約350℃～450℃である。堆積は、約1分間～約2分間で行われ、所望の厚みを有するタングステン超薄膜が確立される。

30

【0040】

図4に示すように、タングステン薄膜上に銅薄膜26が、MOCVDにより約10nm～約20nmの厚みまで堆積される。銅は、Schumacherから入手可能なCuPraselectTM Blend前駆体を用いることにより堆積され得、約180℃～約250℃の温度のCVDチャンバに導入され得る。堆積は、約12秒間～約10分間で行われ、所望の厚みを有する銅薄膜が確立される。

【0041】

得られた構造体は、CVDによる充填の場合、バリア膜のレベルまで、さらなる銅の電気メッキまたは化学機械的研磨(CMP)で処理することが可能である。これを図5に示す。さらなるIC構造体および金属化が追加されて、銅薄膜ICデバイスが完成され得る。さらなるIC構造体および金属化とは例えば、銅30を用いて、CVDまたは他の堆積技術により溝28を充填することである。

40

【0042】

バリア金属、タングステン、および銅は、すべてALDによって堆積されてもよいし、これらの一部の層がALDによって堆積されて残りの層がCVDまたはMOCVDによって形成されてもよい。構造体のサイズが特に100nm未満に減少すると、ALDを用いることが有益である。特に良好なプロトコルは、ALDによりTiNバリア層を形成し、タングステン層をALD処理し、CVDにより銅を堆積することである。

【0043】

50

以上、GVDにより堆積されたTiSiN、Ta₂N、TaSiN、およびCu間の密着促進剤としてタンゲステン超薄膜を用いる方法を開示した。特許請求の範囲に記載の本発明の範囲から逸脱することなく、さらなる改変および変更が可能であることが理解される。

【0044】

【発明の効果】

本発明によれば、基板に対する銅薄膜の密着性を向上させるために、金属または窒化金属基板上にタンゲステンを堆積する方法が提供され、それにより、金属および窒化金属基板上の銅薄膜の密着性を向上させることができる。

【図面の簡単な説明】

【図1】 図1は、本発明による銅薄膜集積回路デバイスの製造工程を示す図である。

10

【図2】 図2は、本発明による銅薄膜集積回路デバイスの製造工程を示す図である。

【図3】 図3は、本発明による銅薄膜集積回路デバイスの製造工程を示す図である。

【図4】 図4は、本発明による銅薄膜集積回路デバイスの製造工程を示す図である。

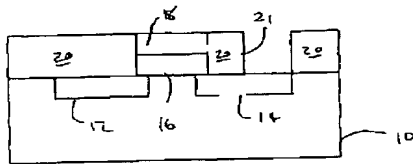
【図5】 図5は、本発明による銅薄膜集積回路デバイスの製造工程を示す図である。

【符号の説明】

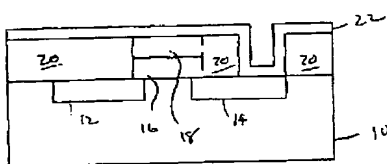
- 10 基板
- 12 ソース
- 14 ドレイン
- 16 ゲート
- 18 ゲート積層体
- 20 酸化層
- 22 金属バリア膜
- 24 タングステン薄膜
- 26 銅薄膜

20

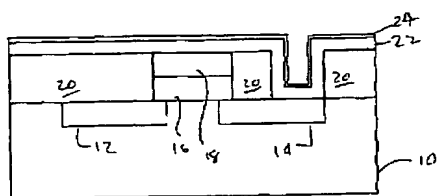
【図1】



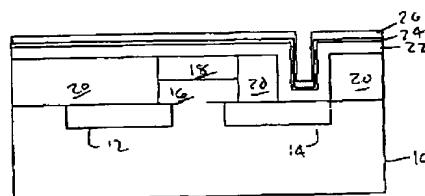
【図2】



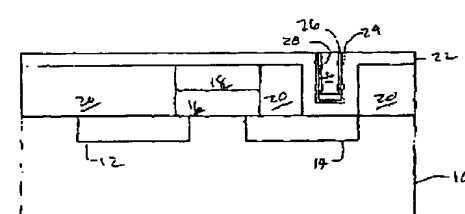
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 デビット アール エバンス

アメリカ合衆国 オレゴン 97007, ビーヴァートン, エスタブリュー 179ティーエ
イチ ストリート 7574

(72)発明者 シェン テン スー

アメリカ合衆国 ワシントン 98607, カマス, エスタブリュー トラウト コート 2
216

Ｆターム(参考) 5F033 HH11 HH19 HH21 HH27 HH32 HH33 JJ11 JJ19 JJ21 JJ27

JJ32 JJ33 KK01 MM01 MM12 MM13 NN06 NN07 PP02 PP03

PP06 PP11 PP14 PP19 PP27 PP33 QQ48 QQ98 WW02 XX13